

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332610

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H03M 1/74

H03M 1/10

(21)Application number : 11-137899

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.05.1999

(72)Inventor : KATADA TOMOYUKI

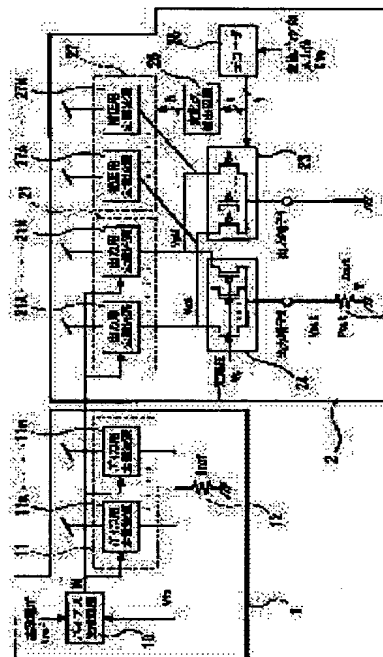
## (54) CURRENT ADDITION TYPE DA CONVERTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce a secondary distortion even when a threshold of an output transistor is varied in the production by providing a change point detection circuit for detecting a change point where an output control switch switches and a correction current source for controlling current by this output and connecting the correction current source in parallel to a constant current source.

**SOLUTION:** When a conversion value for DA converting changes, a control signal from a decoder 25 is outputted to an output control switch 23 and a change point detection circuit 26. In the change point detection circuit 26, a pulse signal is outputted when each of output control switches (23A to 23N) changes from on to off on the basis of the output of the decoder 25. In a correction current source 27, the current is flown on the basis of this pulse signal.

Thus, since, in an output transistor 24, a rising speed of a potential of a source voltage  $V_s$  goes up and transition from off to on becomes faster, a rising speed of an output voltage  $V_{out}$  becomes faster as well, and a secondary distortion can be reduced even if a threshold of an output transistor becomes uneven in the production.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-332610  
(P2000-332610A)

(43)公開日 平成12年11月30日(2000. 11. 30)

(51)Int.Cl.<sup>7</sup>  
H 0 3 M 1/74  
1/10

識別記号

F I  
H 0 3 M 1/74  
1/10

ターミナル\* (参考)  
5 J 0 2 2  
B

審査請求 未請求 請求項の数 6 O L (全 13 頁)

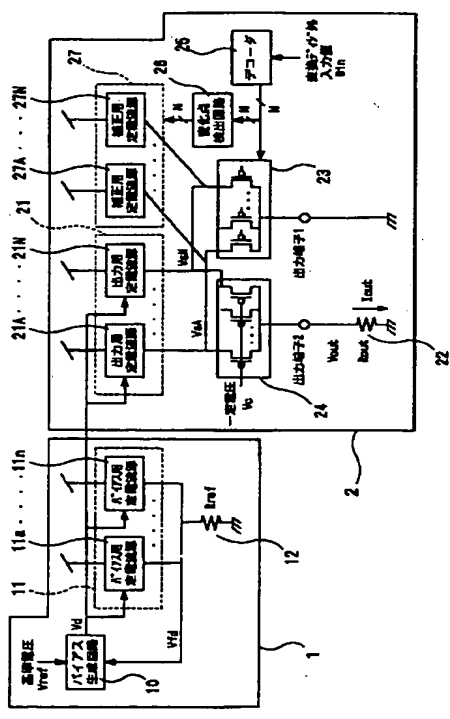
(21)出願番号	特願平11-137899	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成11年 5 月19日(1999. 5. 19)	(72)発明者	堅田 智之 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74)代理人	100068087 弁理士 森本 義弘 Fターム(参考) 5J022 AB06 BA01 CB01 CD03 CE01 CF04

(54)【発明の名称】 電流加算型D A変換器

(57)【要約】

【課題】 電流加算型D A変換器のデジタル入力値が変化する際に、出力電圧の立ち上がり立ち下りの速度が異なり、2次歪みを発生する。

【解決手段】 デジタル入力値の変化点を検出する変化点検出回路26と、変化点検出回路26の出力によって電流を制御する補正電流源27を設け、出力トランジスタ24がオンからオフに移行する際に、補正電流源27により一時的にチャージ電流量を増加させ、出力電圧の立ち上がり速度を早くする。これにより2次歪み特性を改善する。



## 【特許請求の範囲】

【請求項1】ゲートに定電圧が印加された出力トランジスタを介して、定電流源から出力抵抗に電流を供給し、変換ディジタル入力値 ( $D_{in}$ ) に応じて開閉される出力制御スイッチによって前記出力トランジスタのソース電圧を制御して前記出力抵抗に流れる出力電流を制御してアナログ変換出力を得る電流加算型DA変換器において、

前記出力制御スイッチが切り替わる変化点を検出する変化点検出回路と、

前記変化点検出回路の出力によって電流を制御する補正電流源とを設け、前記定電流源と並列に前記補正電流源を接続した電流加算型DA変換器。

【請求項2】ゲートに定電圧が印加された出力トランジスタを介して、定電流源から出力抵抗に電流を供給し、変換ディジタル入力値 ( $D_{in}$ ) に応じて開閉される出力制御スイッチによって前記出力トランジスタのソース電圧を制御して前記出力抵抗に流れる出力電流を制御してアナログ変換出力を得る電流加算型DA変換器において、

前記定電流源の出力端電圧を検出する出力端電圧検出回路と、

前記出力端電圧検出回路の出力によって電流を制御する補正電流源とを設け、前記定電流源と並列に前記補正電流源を接続した電流加算型DA変換器。

【請求項3】ゲートに定電圧が印加された出力トランジスタを介して、定電流源から出力抵抗に電流を供給し、変換ディジタル入力値 ( $D_{in}$ ) に応じて開閉される出力制御スイッチによって前記出力トランジスタのソース電圧を制御して前記出力抵抗に流れる出力電流を制御してアナログ変換出力を得る電流加算型DA変換器において、

前記出力制御スイッチが切り替わる変化点を検出する変化点検出回路と、

前記定電流源の出力端電圧を検出する出力端電圧検出回路と、

前記変化点検出回路の出力と前記出力端電圧検出回路の出力によって電流を制御する補正電流源とを設け、前記定電流源と並列に前記補正電流源を接続した電流加算型DA変換器。

【請求項4】変化点検出回路を、遅延反転器と論理積回路とで構成した請求項1または請求項3記載の電流加算型DA変換器。

【請求項5】出力端電圧検出回路を、比較器で構成した請求項2または請求項3記載の電流加算型DA変換器。

【請求項6】ゲートに定電圧が印加された出力トランジスタを介して、定電流源から出力抵抗に電流を供給し、変換ディジタル入力値 ( $D_{in}$ ) に応じて開閉される出力制御スイッチによって前記出力トランジスタのソース電圧を制御して前記出力抵抗に流れる出力電流を制御し

てアナログ変換出力を得る電流加算型DA変換器において、

前記出力制御スイッチを構成する個々のトランジスタの一個または複数個と同一の電流駆動能力を有する基準出力トランジスタと、

前記基準出力トランジスタの閾値変動を検出する閾値検出回路とを設け、前記閾値検出回路の出力で前記出力トランジスタのバックゲート電圧を制御する請求項1～請求項5の何れかに記載の電流加算型DA変換器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ディジタル信号をアナログ信号に変換する電流加算型DA変換器に関する。

## 【0002】

【従来の技術】近年、機器のディジタル化が進み、演算処理の多くがディジタル信号処理で行われるようになり、従来より高精度、高速のDA変換器が要望されるようになってきた。従来の電流加算型DA変換器は図7に示すように構成されている。

【0003】1はバイアス電圧生成部で、バイアス生成回路10、 $n$ 個の電圧制御電流源11a～11nからなるバイアス用低電流源11、及び基準抵抗12からなる。2はDA変換部で、 $N$ 個の電圧制御電流源21A～21Nからなる出力用定電流源21、出力抵抗22、 $N$ 個のスイッチ23A～23Nからなる出力制御スイッチ部23、 $N$ 個のトランジスタ24A～24Nからなる出力トランジスタ部24、およびデコーダ25からなる。

【0004】このように構成された電流加算型DA変換器では、デコーダ25を介して出力制御スイッチ部23に変換ディジタル入力値 $D_{in}$ が供給され、アナログ変換された出力電圧 $V_{out}$ が出力抵抗22の両端に発生する。まず、バイアス電圧生成部1の動作について説明する。バイアス用定電流源11では、バイアス電圧 $V_b$ にしたがって、定電流源の電流値及び個数によって $I_{ref}$ の電流が流れる。基準抵抗12では、抵抗値 $R_{ref}$ に電流値 $I_{ref}$ を乗算した電圧 $V_{fb}$ が発生する。

【0005】バイアス生成回路10には、基準電圧 $V_{ref}$ とバイアス用定電流源11の出力電圧（フィードバック電圧） $V_{fb}$ が入力され、基準電圧 $V_{ref}$ がフィードバック電圧 $V_{fb}$ よりも高い場合は、バイアス用定電流源11の電流を増加させる方向にバイアス生成回路10がバイアス電圧 $V_b$ を制御する。逆にフィードバック電圧 $V_{fb}$ が基準電圧 $V_{ref}$ よりも高い場合は、バイアス用定電流源11の電流を減少させる方向にバイアス電圧 $V_b$ を制御する。

【0006】これによりバイアス電圧生成部1では、バイアス生成回路10が出力するバイアス電圧 $V_b$ が、フィードバック電圧 $V_{fb}$ と基準電圧 $V_{ref}$ とが一致する電圧値に収束する。この時、基準抵抗12や出力抵抗

22の抵抗値や基準電圧 $V_{ref}$ が変化しなければ、このバイアス電圧 $V_b$ は、動作中一定に保たれる。次にDA変換部2の動作について説明する。

【0007】出力用定電流源21の制御にはバイアス電圧生成部1で収束したバイアス電圧 $V_b$ を使用する。この場合、バイアス用定電流源11と出力用定電流源21の電流源の比に従って、出力電流 $I_{out}$ が出力抵抗22に流れる。変換ディジタル入力値 $D_{in}$ に応じてデコーダ25が出力制御スイッチ23を制御し、このバイアス用定電流源11と出力用定電流源21の電流源の比を変え、出力電流 $I_{out}$ の値を制御する。

【0008】ここで、オン抵抗値は一定電圧 $V_c$ でゲート電圧を供給された出力トランジスタ部24のよりも出力制御スイッチ23の方が抵抗値が低いため、出力制御スイッチ23がオンすると、出力用定電流源21の発生する電流は出力制御スイッチ23を通じてグランドに引き込まれる。これにより、出力トランジスタ部24のソース電圧 $V_s$ が降下し、出力トランジスタ24は閾値以下となりオフする。このため出力用定電流源21の発生電流は出力抵抗 $R_{out}$ 側には流れない。一方、出力制御スイッチ23がオフすると、出力トランジスタのソース電圧 $V_s$ は、出力用定電流源21の発生する電流によって、チャージされ、徐々に電圧が上昇する。そして、出力トランジスタの閾値を超えたところで、出力トランジスタ部24のトランジスタはオンし、出力抵抗22に出力用定電流源21で発生した出力電流 $I_{out}$ を流す。

【0009】この出力電流 $I_{out}$ と出力抵抗22の乗算により、出力電圧 $V_{out}$ が得られ、DA変換が行われる。

【0010】

【発明が解決しようとする課題】しかしながら従来の構成では、出力トランジスタ部24のトランジスタのオンからオフへの移行は、出力制御スイッチ23のオンに同期して急激に行われるのに対し、出力用定電流源21の発生する電流によるチャージが行われてからオンする。

【0011】このため、出力電圧 $V_{out}$ の立ち上がり立ち下がりの速度が異なり、2次歪みを発生する。また、出力トランジスタ部24のトランジスタがオンするために必要なチャージの電荷量は、出力トランジスタ24A～24Nの閾値に依存するため、製造バラツキがそのまま特性のバラツキになるという問題点がある。

【0012】本発明は上記問題点を解決するもので、DA変換出力の歪み特性を改善し、製造のバラツキに強い電流加算型DA変換器を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は上記の問題を解決し目的を達成するため、DA変換器出力の立ち上がり特性を改善する構成を備えている。この本発明の構成によると、出力トランジスタの立ち上がり速度が上昇し、

出力電圧の立ち上がり速度も早まり、出力トランジスタの閾値が製造時にばらついても、2次歪みを減少させることができる。

【0014】

【発明の実施の形態】本発明の請求項1記載の電流加算型DA変換器は、ゲートに定電圧が印加された出力トランジスタを介して、定電流源から出力抵抗に電流を供給し、変換ディジタル入力値に応じて開閉される出力制御スイッチによって前記出力トランジスタのソース電圧を制御して前記出力抵抗に流れる出力電流を制御してアナログ変換出力を得るにおいて、前記出力制御スイッチが切り替わる変化点を検出する変化点検出回路と、前記変化点検出回路の出力によって電流を制御する補正電流源とを設け、前記定電流源と並列に前記補正電流源を接続したことを特徴とする。

【0015】この構成によると、出力トランジスタがオンからオフに移行する際に、変化点検出回路が制御する補正電流源により一時的にチャージ電流量を増加させ、出力電圧 $V_{out}$ の立ち上がり速度を早くして2次歪み特性を改善できる。本発明の請求項2記載の電流加算型DA変換器は、ゲートに定電圧が印加された出力トランジスタを介して、定電流源から出力抵抗に電流を供給し、変換ディジタル入力値に応じて開閉される出力制御スイッチによって前記出力トランジスタのソース電圧を制御して前記出力抵抗に流れる出力電流を制御してアナログ変換出力を得る電流加算型DA変換器において、前記定電流源の出力端電圧を検出する出力端電圧検出回路と、前記出力端電圧検出回路の出力によって電流を制御する補正電流源とを設け、前記定電流源と並列に前記補正電流源を接続したことを特徴とする。

【0016】この構成によると、出力トランジスタがオンからオフに移行する際に、定電流源出力端電圧が低い時のみ、出力端電圧検出回路が制御する電流源によりチャージ電流量を増加させ、出力電圧 $V_{out}$ の立ち上がり速度を早くする。これにより2次歪み特性を改善できる。本発明の請求項3記載の電流加算型DA変換器は、ゲートに定電圧が印加された出力トランジスタを介して、定電流源から出力抵抗に電流を供給し、変換ディジタル入力値に応じて開閉される出力制御スイッチによって前記出力トランジスタのソース電圧を制御して前記出力抵抗に流れる出力電流を制御してアナログ変換出力を得る電流加算型DA変換器において、前記出力制御スイッチが切り替わる変化点を検出する変化点検出回路と、前記定電流源の出力端電圧を検出する出力端電圧検出回路と、前記変化点検出回路の出力と前記出力端電圧検出回路の出力によって電流を制御する補正電流源とを設け、前記定電流源と並列に前記補正電流源を接続したことを特徴とする。

【0017】この構成によると、出力トランジスタがオンからオフに移行する際に、変化点検出時かつ定電流源

出力端電圧が低い時、補正電流源により一時的にチャージ電流量を増加させ、出力電圧 $V_{out}$ の立ち上がり速度を早くして2次歪み特性を改善できる。本発明の請求項4記載の電流加算型DA変換器は、請求項1または請求項3において、変化点検出回路を、遅延反転器と論理積回路とで構成したことを特徴とする。

【0018】本発明の請求項5記載の電流加算型DA変換器は、請求項2または請求項3において、出力端電圧検出回路を、比較器で構成したことを特徴とする。本発明の請求項6記載の電流加算型DA変換器は、請求項1～請求項5において、ゲートに定電圧が印加された出力トランジスタを介して、定電流源から出力抵抗に電流を供給し、変換ディジタル入力値に応じて開閉される出力制御スイッチによって前記出力トランジスタのソース電圧を制御して前記出力抵抗に流れる出力電流を制御してアナログ変換出力を得る電流加算型DA変換器において、前記出力制御スイッチを構成する個々のトランジスタの一個または複数個と同一の電流駆動能力を有する基準出力トランジスタと、前記基準出力トランジスタの閾値変動を検出する閾値検出回路とを設け、前記閾値検出回路の出力で前記出力トランジスタのバックゲート電圧を制御することを特徴とする。

【0019】この構成によると、出力トランジスタの閾値の製造バラツキを検出し、バックゲート電圧を制御することでオン速度の補正をかけることができ、一定の特性の電流加算型DA変換器が得られる。以下、本発明の各実施の形態を図1～図6に基づいて説明する。

(実施の形態1) 図1は本発明の(実施の形態1)における電流加算型DA変換器を示す。

【0020】なお、従来例を示す図7と同じ機能のブロック等には同じ符号を付けてその説明を省略する。(実施の形態1)はN個からなる各出力制御スイッチ21A～21Nに対応し、出力制御スイッチを制御する制御信号の変化点を検出するN個の検出回路からなる変化点検出回路26と、N個の変化点検出回路に対応し変化点検出回路の出力で制御するN個からなる補正用電流源27A～27Nを有する補正用定電流源27とが追加されている点が従来とは異なっている。

【0021】このように構成された電流加算型DA変換器の動作を説明する。バイアス電圧生成部1は、従来例と同様に動作して収束したバイアス電圧 $V_b$ を出力する。DA変換部2では、バイアス電圧 $V_b$ に基づき出力用定電流源21が定電流を発生する。DA変換する変換値が変化すると、デコーダ25から制御信号が出力制御スイッチ23及び変化点検出回路26に出力される。

【0022】変化点検出回路26では、デコーダ25の出力に基づいて各出力制御スイッチ23A～23Nがオンからオフに変化する際にパルス信号を出力する。補正用電流源27では、このパルス信号に基づいて電流を流す。これにより出力トランジスタ24は、ソース電圧 $V_s$

の電位の上昇速度が上がり、オフからオンへの移行が早くなるため、出力電圧 $V_{out}$ の立ち上がり速度も早まり、2次歪みを減少させることができる。

【0023】(実施の形態2) 図2は本発明の(実施の形態2)における電流加算型DA変換器を示す。なお、(実施の形態1)を示す図1と同じ機能のブロック等には同じ符号を付けてその説明を省略する。本実施の形態は、N個からなる各出力用定電流源21A～21Nに対応し、各出力用定電流源の出力端の電位を検出するN個の検出回路からなる出力端電圧検出回路28と、出力端電圧検出回路28のN個の前記検出回路の出力に対応し出力端電圧検出回路28の出力で制御されるN個からなる補正用電流源27A～27Nを有する補正用定電流源27とが設けられている点が(実施の形態1)とは異なっている。

【0024】このように構成された電流加算型DA変換器の動作を説明する。バイアス電圧生成部1は、従来例と同様に動作して収束したバイアス電圧 $V_b$ を出力する。DA変換部2では、バイアス電圧 $V_b$ に基づき出力用定電流源21が定電流を発生する。出力端電圧検出回路28では、出力用定電流源21A～21Nの出力の電圧に基づいて補正用電流源27を制御する。制御方法は、各出力トランジスタの閾値を超えない範囲で、出力用定電流源21の出力端電位が低い場合は電流を流し、高い場合は、電流を減らす方向で制御する。補正用電流源27では、この検出結果に基づき電流を流し、出力用定電流源出力の電圧値を上昇させる。

【0025】これにより出力トランジスタ部24は、ソース電圧 $V_s$ の初期電位が上昇し、閾値への到達速度が上がり、オフからオンへの移行が早くなるため、出力電圧 $V_{out}$ の立ち上がり速度も早まり、2次歪みを減少させることができる。

(実施の形態3) 図3は本発明の(実施の形態3)における電流加算型DA変換器を示す。

【0026】なお、(実施の形態1)を示す図1、(実施の形態2)を示す図2と同じ機能のブロック等には同じ符号を付けてその説明を省略する。本実施の形態は、デコーダ25から出力制御スイッチ部23に供給される制御信号の変化点を検出する変化点検出回路26と、出力用定電流源21A～21Nの出力端の電位を検出するN個の検出回路からなる出力端電圧検出回路28とを有しており、補正用電流源27の各補正用電流源27A～27Nは、変化点検出回路26とN個の出力端電圧検出回路28の各出力で制御される。

【0027】このように構成された電流加算型DA変換器の動作を説明する。バイアス電圧生成部1は、従来例と同様に動作して収束したバイアス電圧 $V_b$ を出力する。DA変換部2では、バイアス電圧 $V_b$ に基づき出力用定電流源21が定電流を発生する。出力端電圧検出回路28の各検出回路では、各出力用定電流源21の出力

の電圧に基づき、変化点検出回路26の変化を示すパルスの時間のみ補正用電流源27を制御する。制御方法は、各出力トランジスタの閾値を超えない範囲で、出力用定電流源21の出力端電位が低い場合は電流を流し、高い場合は、電流を減らす方向で制御する。補正用電流源27では、この検出結果に基づき電流を流し、出力用定電圧源出力の電圧値を上昇させる。

【0028】これにより出力トランジスタ部24はオフからオンの時のみ、ソース電圧 $V_s$ の初期電位が上昇し、閾値への到達速度が上がり、オフからオンへの移行が早くなるため、出力電圧 $V_{out}$ の立ち上がり速度も早まり、2次歪みを減少させることができる。

(実施の形態4)図4は(実施の形態1)(実施の形態3)の変化点検出回路26の具体例を示す。

【0029】変化点検出回路26のN個の検出回路の一つは、遅延器261Aと排他的ノアの論理積回路262Aを接続して構成されており、変化点検出回路26の検出回路の残りの検出回路も同様である。このように構成された変化点検出回路26の動作を説明する。出力制御スイッチ部23を制御するデコーダ出力信号N本を、論理積回路262A～262Nの一方の入力と遅延反転器261A～261Nとに供給し、遅延反転器261A～261Nの出力を論理積回路262A～262Nの他方の入力に供給して、出力制御スイッチ23A～23Nがオフになる変化点を各々検出する。ここで、出力制御スイッチ部23及び補正用電流源27は、Lアクティブとしている。

【0030】このように構成することにより、変化点検出回路を容易な回路で実現できる歪み特性の優れた電流加算型DA変換器を得ることができる。

(実施の形態5)図5は(実施の形態2)(実施の形態3)における出力端電圧検出回路28の具体例を示す。

【0031】出力端電圧検出回路28の各検出回路は、比較器281A～281Nで構成されており、次のように動作する。出力用定電流源21の出力用定電流源21A～21Nの各出力を比較器281A～281Nに入力することで、一定の閾値で補正用電流源27を制御することができる。ここで、補正用電流源27はLアクティブとしている。

【0032】このように構成することにより、出力端電圧検出回路を容易な回路で実現できる歪み特性の優れた電流加算型DA変換器を得ることができる。

(実施の形態6)図6は本発明の(実施の形態6)における電流加算型DA変換器を示す。なお、図6において、(実施の形態1)～(実施の形態3)を示す図1～図3と同じ機能のブロック等には同じ符号を付けてその説明を省略する。

【0033】本実施の形態は、基準出力トランジスタ29とこの基準出力トランジスタ29の閾値を検出する閾値検出回路30とを有しており、閾値検出回路30の出

力は出力トランジスタ部24のバックゲート電圧端子に接続されている。このように構成された電流加算型DA変換器の動作を説明する。閾値検出回路30では、基準出力トランジスタ29の閾値を検出し、基準出力トランジスタ29の閾値が高い場合は出力トランジスタ部24のバックゲート電圧を下げ、基準出力トランジスタ29の閾値が低い場合は、出力トランジスタ部24のバックゲート電圧を上げ、出力トランジスタ部24の出力トランジスタがオフからオンに移行する速度一定に保つように動作する。

【0034】これにより、出力トランジスタは製造バラツキによる閾値の変動に影響されることがなく、一定の立ち上がり速度を得ることができ、2次歪みが一定となる。この(実施の形態6)は、上記の(実施の形態1)～(実施の形態5)の出力トランジスタ部24のバックゲート電圧を、閾値検出回路30の出力で制御するように構成することによって、より効果的である。

【0035】なお、上記の各実施の形態では、出力用定電流源21の出力用定電流源の個数、出力制御スイッチ部23のスイッチの個数、変化点検出回路26の個数、補正用電流源27の個数、出力端電圧検出回路28の個数、をN個で統一して説明しているが、これらの個数は、同一でなくても良い。また、上記の各実施の形態では、出力端子1をグランドに接続した形態で説明したが、出力端子1の側に出力抵抗を挿入して出力端子1からDA変換の結果を得ても良いし、出力抵抗を出力端子1、出力端子2の両方に挿入し差動出力としてDA変換結果を得ても良い。

【0036】また、(実施の形態1)(実施の形態3)では、補正電流源の代わりに抵抗とスイッチなどの電流源に変わる手段を用いても良い。また、(実施の形態2)では、出力端検出回路の動作を補正電流源の電流量を各出力トランジスタの閾値を超えない範囲で、出力用定電流源21の出力端電位が低い場合は電流を流し、高い場合、電流を減らす方向で制御するとしたが、一定の電位を閾値としてオン、オフさせる制御方法を用いても良い。

【0037】

【発明の効果】本発明の請求項1に記載の電流加算型DA変換器によると、変化点検出回路により、各出力制御スイッチがオンからオフに変化する際に補正電流を流すことで、出力トランジスタの立ち上がり速度が上昇し、出力電圧 $V_{out}$ の立ち上がり速度も早まり、2次歪みを減少させることができる。

【0038】本発明の請求項2に記載の電流加算型DA変換器によると、各出力用定電流源の出力端の電位を検出する出力端電圧検出回路により制御される補正電流源が、出力トランジスタのソース電圧の初期電位を上昇させ、出力トランジスタの閾値への到達速度が上がり、オフからオンへの移行が早くなるため、出力電圧 $V_{out}$

の立ち上がり速度も早まり、2次歪みを減少させることができる。

【0039】本発明の請求項3に記載の電流加算型DA変換器によると、出力端電圧検出回路と変化点検出回路で制御される補正用電流源で、各出力制御スイッチがオンからオフに変化する際に出力端電位に応じて補正電流を流すため、出力トランジスタはオフからオンの時のみ、ソース電圧 $V_s$ の初期電位が上昇し、閾値への到達速度が上がり、オフからオンへの移行が早くなる。これにより、出力電圧 $V_{out}$ の立ち上がり速度も早まり、2次歪みを減少させることができる。

【0040】本発明の請求項4に記載の電流加算型DA変換器によると、請求項1または請求項3における変化点検出回路を、遅延反転器と論理積回路で容易に実現できる。本発明の請求項5に記載の電流加算型DA変換器によると、請求項2または請求項3における出力端電圧検出回路を、比較器で容易に実現できる。

【0041】本発明の請求項6に記載の電流加算型DA変換器によると、閾値検出回路で、基準出力トランジスタの閾値を検出し、基準出力トランジスタの閾値によって、出力トランジスタのバックゲート電圧を制御することで、出力トランジスタのオフからオンに移行する速度一定に保つように動作するため、出力トランジスタは製造バラツキによる閾値の変動に影響されることがなく、一定の立ち上がり速度を得ることができ、2次歪みが一定となる。

#### 【図面の簡単な説明】

【図1】本発明の（実施の形態1）における電流加算型DA変換器のブロック図

【図2】本発明の（実施の形態2）における電流加算型

DA変換器のブロック図

【図3】本発明の（実施の形態3）における電流加算型DA変換器のブロック図

【図4】本発明の（実施の形態4）における電流加算型DA変換器のDA変換部のブロック図

【図5】本発明の（実施の形態5）における電流加算型DA変換器のDA変換部のブロック図

【図6】本発明の（実施の形態6）における電流加算型DA変換器のブロック図

【図7】従来の電流加算型DA変換器のブロック図

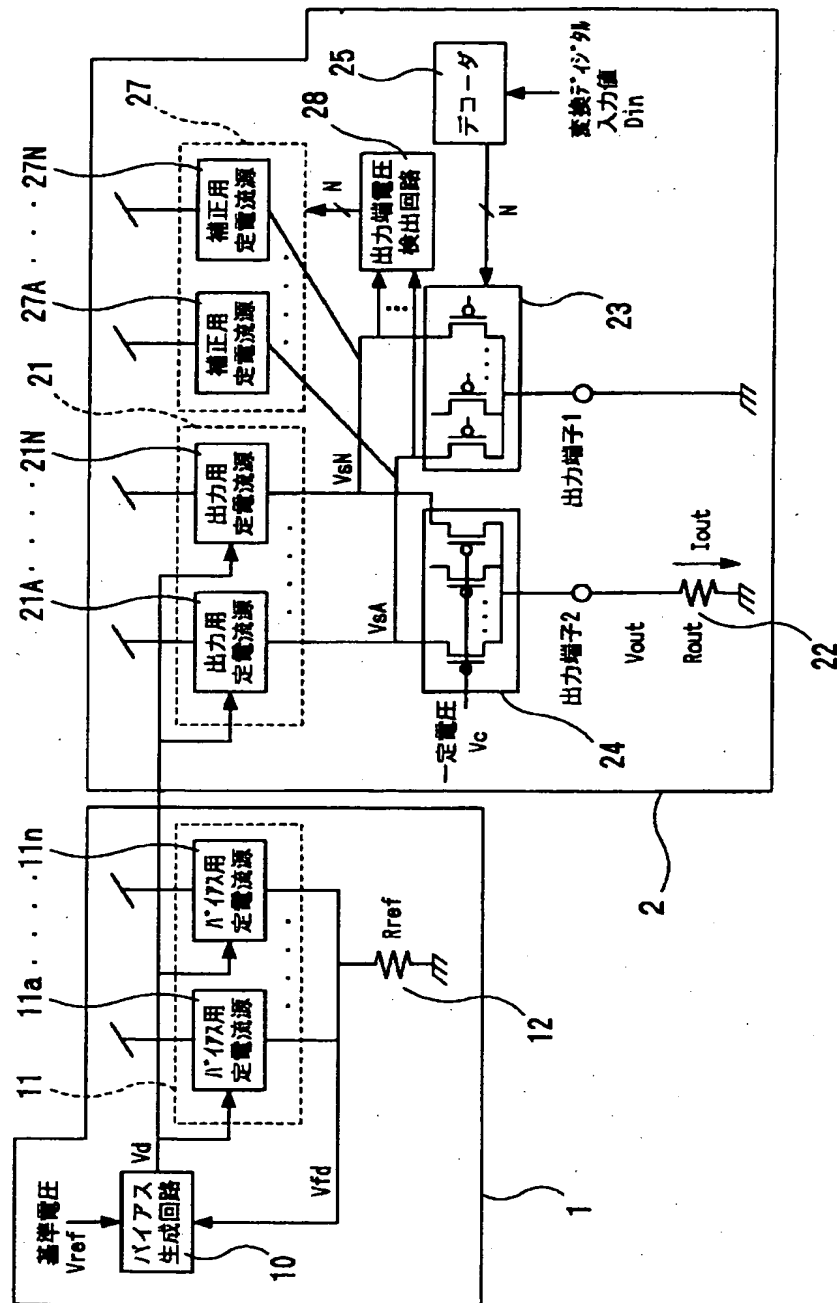
【符号の説明】

- 1 バイアス電圧生成部
- 2 DA変換部
- Din 変換ディジタル入力値
- 10 バイアス生成回路
- 11 バイアス用定電流源
- 12 基準抵抗
- 21 出力用定電流源
- 22 出力抵抗
- 23 出力制御スイッチ部
- 24 出力トランジスタ部
- 25 デコーダ
- 26 変化点検出回路
- 261 遅延反転器
- 262 論理積回路
- 27 補正用電流源
- 28 出力端電圧検出回路
- 281 比較器
- 29 基準出力トランジスタ
- 30 閾値検出回路

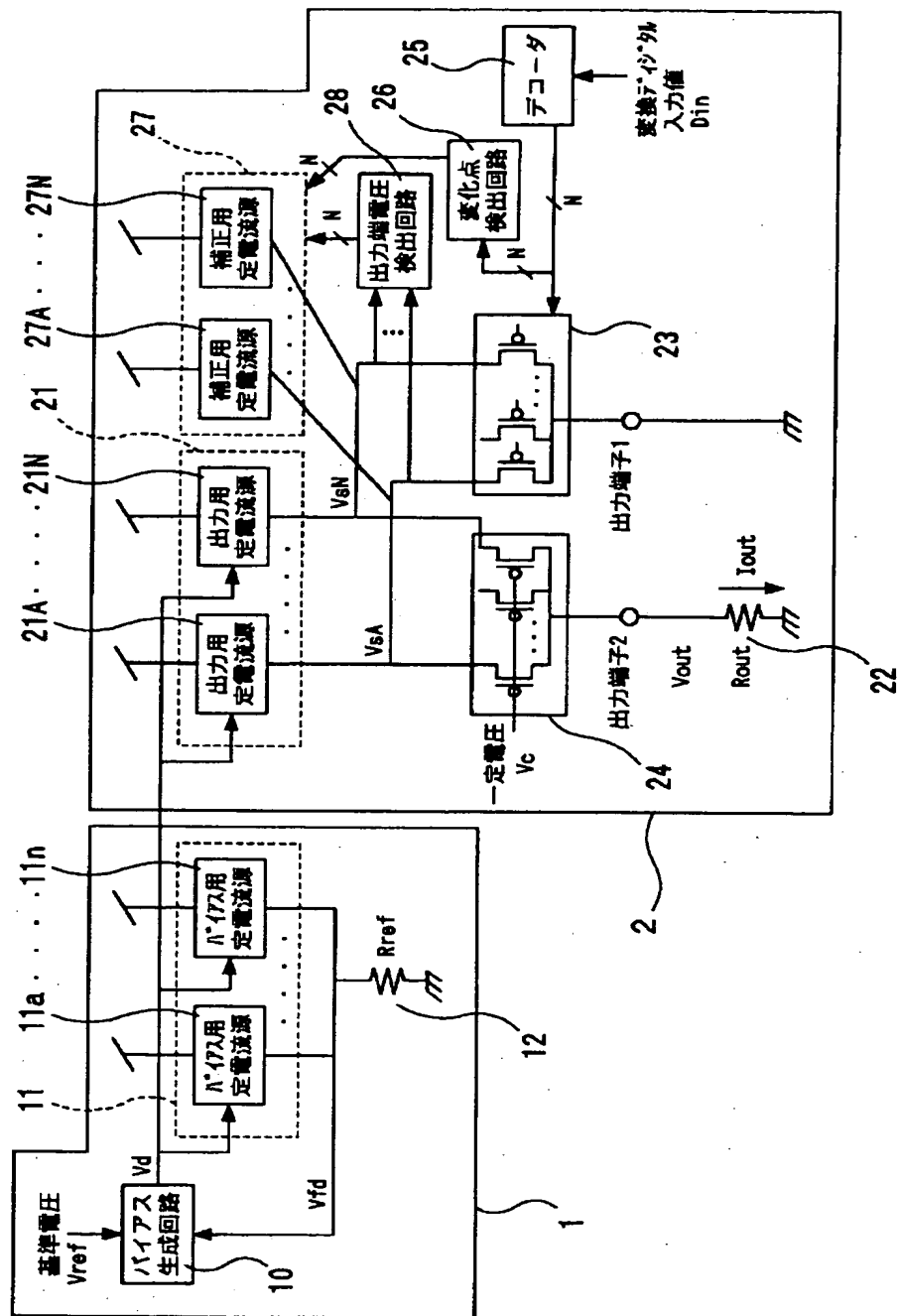




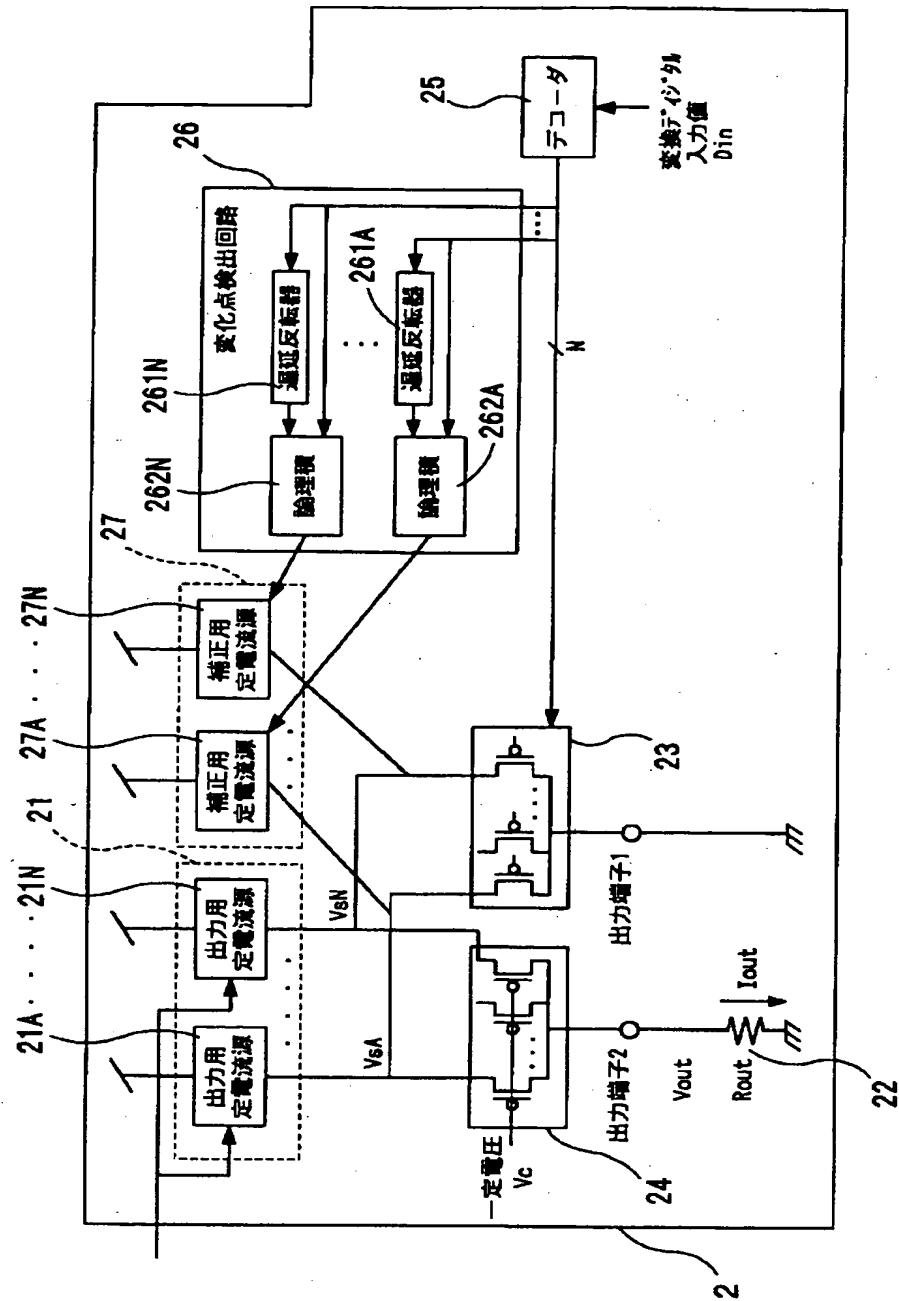
【図2】



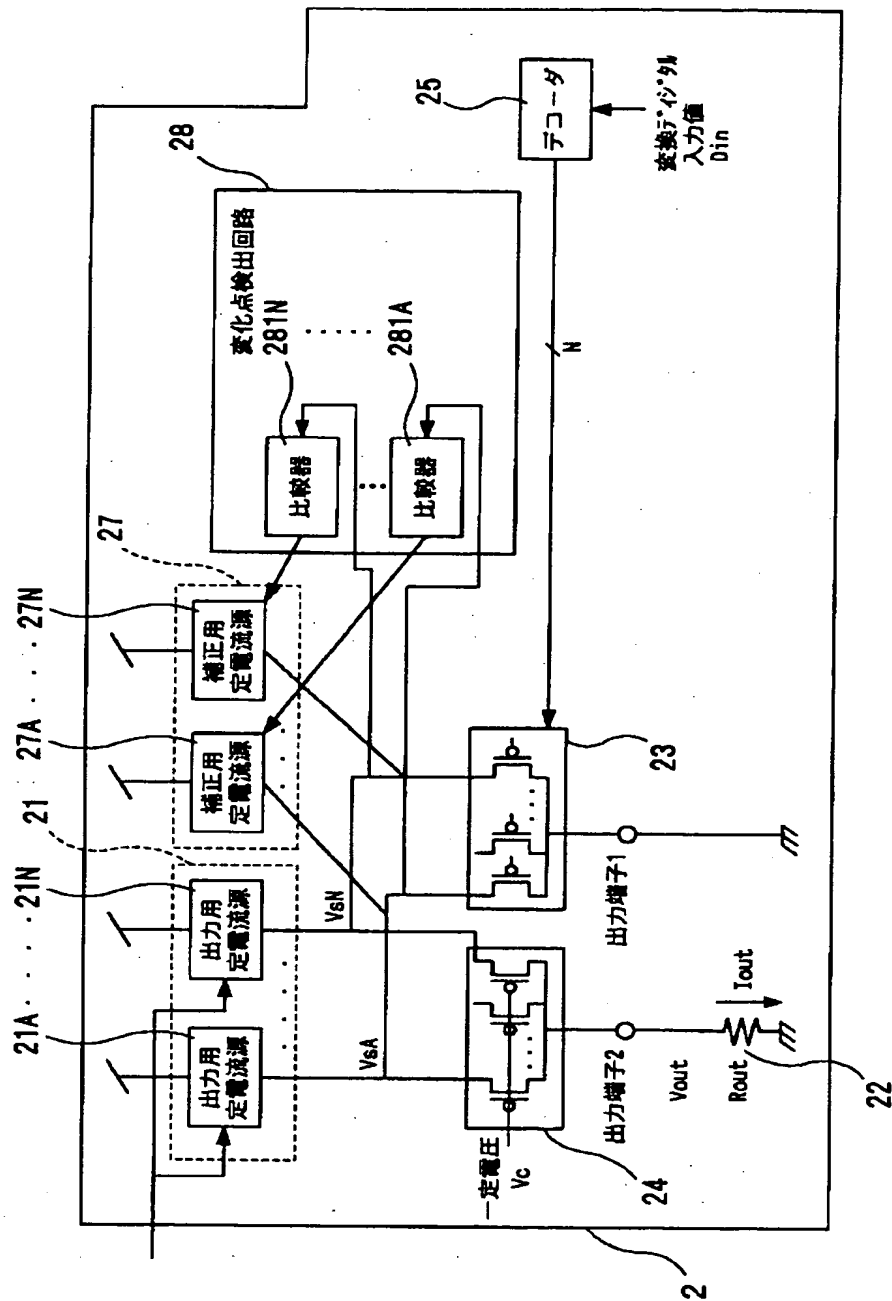
【図 3】



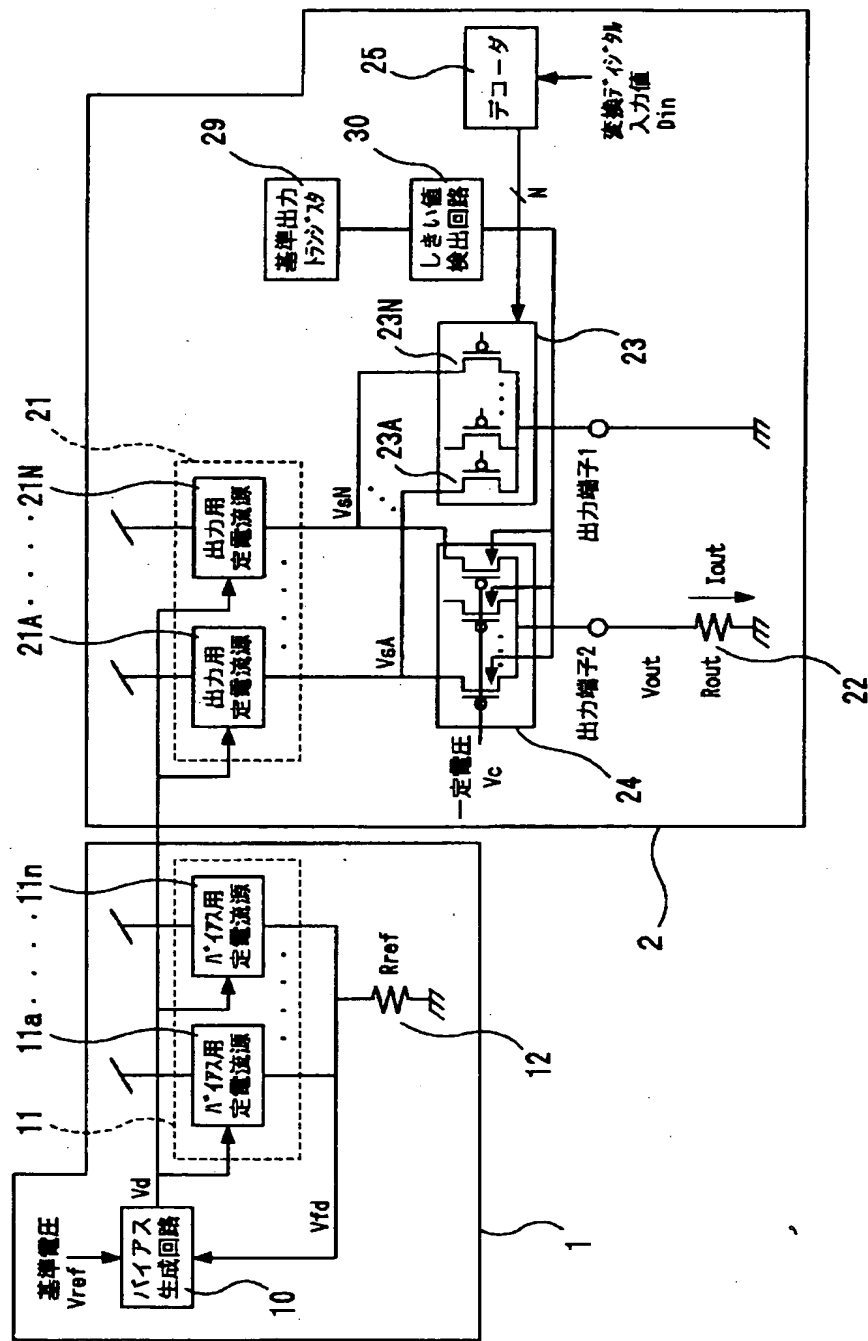
【図4】



【図5】



【図6】



【図7】

